

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

© EPDOC / EPO

PN - JP9298463 A 19971118
PD - 1997-11-18
PR - JP19960113538 19960508
OPD - 1996-05-08
TI - CLOCK GENERATION CIRCUIT
IN - IIJIMA TAKAYUKI
PA - NIPPON ELECTRIC CO
IC - H03L7/18 ; H03L7/06 ; H04L7/02

© WPI / DERWENT

TI - Clock generating circuit - has voltage controlled oscillator which outputs clock signal and counter which presets standard time information and counts time with clock signal
PR - JP19960113538 19960508
PN - JP9298463 A 19971118 DW199805 H03L7/18 006pp
PA - (NIDE) NEC CORP
IC - H03L7/06 ; H03L7/18 ; H04L7/02
AB - J09298463 The circuit forms and outputs a predetermined clock signal based on a standard time information. A voltage controlled oscillator (6) outputs a clock signal. A counter (1) which is preset according to the standard time information counts the clock signal. A subtractor (2) subtracts the numerical value counted from the standard time information.
- An adder circuit (3) adds the error values present in the clock signal to the subtractor result and stores the result in the memory as the new error value. A D/A converter (5) converts the error value to an analog signal. The D/A converter controls the voltage controlled oscillator circuit.
- ADVANTAGE - Eliminates jittering. Maintains constant error voltage.
- (Dwg.1/5)

OPD - 1996-05-08
AN - 1998-049200 [05]

© PAJ / JPO

PN - JP9298463 A 19971118
PD - 1997-11-18
AP - JP19960113538 19960508
IN - IIJIMA TAKAYUKI
PA - NEC CORP

TI - CLOCK GENERATION CIRCUIT

AB - PROBLEM TO BE SOLVED: To obtain a clock generation circuit generating a clock without causing any jitter.

- SOLUTION: A counter 1 presets reference time information received from an external device and counts a time based on a clock signal obtained by feeding back an output signal. A subtractor 2 subtracts the numeral of count from reference time information and an adder 3 an error of a clock signal at a preceding time to this time and the subtracted result. A latch 4 stores the sum result as a new error, a D/A converter 5 converts the error into an analog signal and the output after D/A conversion controls an output of the clock signal outputted from a voltage controlled oscillator 6. Since the clock signal output is controlled to take synchronization between the reference time information and the generated clock, the given error voltage is kept constant thereby eliminating jitter.

I - H03L7/18 ;H03L7/06 ;H04L7/02

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-298463

(43) 公開日 平成9年(1997)11月18日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 L	7/18		H 0 3 L 7/18	Z
	7/06		7/06	B
H 0 4 L	7/02		H 0 4 L 7/02	Z

審査請求 有 請求項の数3 O L (全 6 頁)

(21) 出願番号 特願平8-113538

(22) 出願日 平成8年(1996)5月8日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 飯島 孝行

東京都港区芝五丁目7番1号 日本電気株式会社内

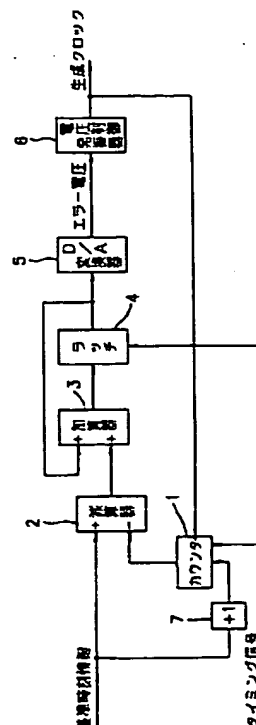
(74) 代理人 弁理士 丸山 隆夫

(54) 【発明の名称】 クロック生成回路

(57) 【要約】

【課題】 ジッタを生ずることなくクロックを生成することが可能なクロック生成回路を得る。

【解決手段】 カウンタ1は、外部から入力される基準時刻情報をプリセットし出力信号をフィードバックしたクロック信号により時刻をカウントする。減算器2が基準時刻情報からカウントした数値を減算し、加算器3が当該時刻より前の時刻におけるクロック信号のエラー値と減算した結果とを加算する。この加算した結果を新たなエラー値としてラッチ4が記憶し、D/A変換器5がエラー値をアナログ信号に変換し、このD/A変換後の出力値により電圧制御発振器6の出力するクロック信号の出力を制御する。よって、基準時刻情報と生成するクロックとの同期をとる上で、クロック信号の出力を制御するために与えるエラー電圧を一定に保つことができ、ジッタをなくすることが可能となる。



【特許請求の範囲】

【請求項1】 外部から与えられる基準時刻情報に基づく所定のクロック信号を生成して出力するクロック生成回路において、

前記クロック信号を出力する電圧制御発振器と、
前記基準時刻情報をプリセットし前記クロック信号により時刻をカウントするカウンタと、

前記基準時刻情報から前記カウントした数値を減算する減算器と、

当該時刻より前の時刻における前記クロック信号のエラー値と前記減算器の減算結果とを加算する加算器と、
該加算した結果を新たなエラー値として記憶する記憶器と、

前記エラー値をアナログ信号に変換するD/A変換器とを有し、

該D/A変換器の出力値により前記電圧制御発振器が出力する前記クロック信号の出力を制御することを特徴とするクロック生成回路。

【請求項2】 前記クロック生成回路へは、さらに、タイミング信号が外部から与えられ、該タイミング信号に基づき前記時刻のタイミングをとることを特徴とする請求項1記載のクロック生成回路。

【請求項3】 前記クロック生成回路は、さらに、前記D/A変換器と前記電圧制御発振器との間にローパスフィルタが設けられ、前記D/A変換器の出力値を平滑化して前記電圧制御発振器へ入力されることを特徴とする請求項1または2記載のクロック生成回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、クロック生成回路に関し、特に、映像あるいは音声を復号化する装置において基準時刻情報からクロックを生成するクロック生成回路に関する。

【0002】

【従来の技術】従来、映像あるいは音声を復号化する装置において基準時刻情報からクロックを生成するPLL回路構成のクロック生成回路が用いられる。この生成されたクロックは、例えば、音声と映像の同期をとるためのタイム・スタンプに用いられる。タイム・スタンプとは、各アクセス・ユニットごとに付けられる復号再生処理の時刻管理のタグ(札)のようなものである(参照:「ポイント図解式 最新MPEG教科書」1994年8月1日発行、藤原洋 著/アスキー出版)。

【0003】図5に従来技術によるクロック生成回路の構成例を示す。以下、図5を参照しながら本従来例のクロック生成回路によるクロック生成動作について説明する。まず、基準時刻情報が与えられ、この値と時刻カウンタ55のカウント値との間で減算器51において減算が行われる。同時に基準時刻情報は時刻カウンタ55へプリセットされ、以後、時刻カウンタ55は生成クロック

クによりカウントアップしていく。減算器51での減算結果はD/A変換器52によりアナログ信号に変換され、ローパスフィルタ53により急峻な変動を抑えてVCO(電圧制御発振器)54へエラー電圧として入力される。VCO54は、このエラー電圧の増減により発振周波数を増減する。

【0004】この構成によると、VCO54の発振周波数が規定値より低い場合、基準時刻情報に対して時刻カウンタ55の値が小さくなり、その差が正の値となり、VCO54へのエラー電圧が上がり、その発振周波数が高くなる。また、逆にVCO54の発振周波数が基準値より高い場合には、逆の作用によりVCO54へのエラー電圧は下がり、その発振周波数は低くなるように動作する。

【0005】

【発明が解決しようとする課題】しかしながら、上記の従来例では、基準時刻情報と時刻カウンタとの値が一致するとその差は「0」となり、エラー電圧はそのD/A変換値V0になる。すなわち、VCO54が基準時刻情報にロックする所定のエラー電圧VRを維持することができず、必ずD/A変換値V0に落ちてしまう。したがって、エラー電圧は少なくともD/A変換値V0とエラー電圧VRとの間を変動し、生成クロックにジッタを生じさせる問題点を伴う。

【0006】本発明は、ジッタを生ずることなくクロックを生成することが可能なクロック生成回路を提供することを目的とする。

【0007】

【課題を解決するための手段】かかる目的を達成するため、本発明のクロック生成回路は、外部から与えられる基準時刻情報に基づく所定のクロック信号を生成して出力するクロック生成回路であり、クロック信号を出力する電圧制御発振器と、基準時刻情報をプリセットしクロック信号により時刻をカウントするカウンタと、基準時刻情報からカウントした数値を減算する減算器と、当該時刻より前の時刻におけるクロック信号のエラー値と減算器の減算結果とを加算する加算器と、この加算した結果を新たなエラー値として記憶する記憶器と、エラー値をアナログ信号に変換するD/A変換器とを有し、このD/A変換器の出力値により電圧制御発振器が出力するクロック信号の出力を制御することを特徴としている。

【0008】さらに、上記のクロック生成回路へは、タイミング信号が外部から与えられ、このタイミング信号に基づき時刻のタイミングをとるとよい。

【0009】なおさらに、クロック生成回路は、D/A変換器と電圧制御発振器との間にローパスフィルタが設けられ、D/A変換器の出力値を平滑化して電圧制御発振器へ入力するとよい。

【0010】

【発明の実施の形態】次に添付図面を参照して本発明に

よるクロック生成回路の実施の形態を詳細に説明する。図1を参照すると本発明のクロック生成回路の一実施形態が示されている。

【0011】本実施形態のクロック生成回路は、外部から与えられる基準時刻情報をプリセットし、本回路により生成したクロックにより時刻をカウントするカウンタ1と、そのカウント値と与えられた基準時刻情報とを減算する減算器2と、その減算結果と過去のエラー値とを加算する加算器3と、加算した結果を新たなエラー値として記憶する記憶器であるラッチ4と、エラー値をD/A変換してエラー電圧とするD/A変換器5と、エラー電圧により発振周波数が変化する電圧制御発振器6と加算器7とを有して構成される。

【0012】上記の各構成において、カウンタ1は、外部から与えられる基準時刻情報をタイミング信号によりプリセットし、生成クロックによりカウントアップする計数器である。減算器2は、基準時刻情報からカウンタ1の出力するカウント数値を減算する演算器である。

【0013】加算器3は、減算器2での減算結果と記憶器4に記憶されている値とを加算する演算器である。ラッチ4は、加算器3での加算結果をタイミング信号により記憶するラッチ回路である。D/A変換器5は、ラッチ4に記憶されたデジタル値をアナログの電圧信号に変換する信号変換回路である。電圧制御発振器6は、D/A変換器5の出力する電圧信号により発振周波数が制御される発振器である。加算器7は、基準時刻情報に1を加えるインクリメント演算器である。

【0014】上記のように構成される本実施形態のクロック生成回路は、所定の時に与えられた基準時刻情報が時刻カウンタ1にプリセットされる。所定時以後は、本回路で生成したクロックでカウントアップしていく。次に再び基準時刻情報が与えられると、その値と時刻カウンタ1との差が減算器2により計算される。この減算結果はラッチ4に保持されていたエラー値と加算器3により加算され、新たなエラー値としてラッチ4に保持される。ラッチ4に保持されたエラー値はD/A変換器5でエラー電圧に変換され、電圧制御発振器6の発振周波数を制御し、クロックを生成する。

【0015】もし、時刻カウンタ1が基準時刻情報より遅れている場合、つまり生成クロックの周波数が規定値より低い場合には、減算器2での減算結果が正の値になり、加算器3でラッチ4に保持されているエラー値を増加させる。したがって、電圧制御発振器6に与えているエラー電圧が増加し発振周波数が高くなる。時刻カウンタ1が基準時刻情報より進んでいる場合、つまり生成クロックの周波数が基準値より高い場合には、逆の作用により発振周波数を低くするように働く。

【0016】ここで、本実施形態の特徴となる時刻カウンタ1が基準時刻情報と一致している場合を考察する。発振周波数が基準値と一致する場合、減算器2での減算

結果が「0」になり、ラッチ4に保持されているエラー値との加算に影響を与えない。したがって、エラー電圧に変動がなく、時刻カウンタ1が基準時刻情報にロックしている状態を維持でき、ジッタを生ずることがない。

【0017】次に本発明の実施の形態の動作について、図1とともに図2を参照しながら詳細に説明する。まず、図2の(1)のタイミングで基準時刻情報が与えられる。この例では、その値を「20」とする。この時のカウンタ1によるカウント値を「10」とする。すなわち、生成クロックが基準時刻情報より遅れている例である。この場合、減算器2による減算結果は、 $20 - 10 = 10$ 、の「10」になる。この時までのラッチ4による記憶内容が「100」とすれば、加算器7による加算結果は「110」になり、新たな記憶内容としてタイミング信号に同期してラッチ4に記憶される。同じタイミングで基準時刻情報に「1」を加えた値がカウンタ1にプリセットされる。ラッチ4に記憶された内容は、D/A変換器5によりエラー電圧に変換される。

【0018】ラッチ4による記憶内容が「100」から「110」に増加したため、エラー電圧も増加する。つまり、電圧制御発振器の発振周波数を高くするにはたらく。次に、図2の(2)のタイミングにおいて新しい基準時刻情報が与えられ、その値が「30」とする。この時の生成クロックは、(1)の時より周波数が高くなっているため、カウンタによるカウント値は、基準時刻情報より「5」だけ低い「25」になっているものと仮定する。すると、減算器2による減算結果は「5」になり、加算器3による加算結果は「115」になり、さらにD/A変換後のエラー電圧を上昇させ、電圧制御発振器6の発振周波数を高くする。

【0019】このように生成クロックの発振周波数を高くしていった結果、基準時刻情報と同期がとれた例が図2の(3)である。ここでは、基準時刻情報として「40」が与えられたとき、カウンタ1によるカウント値も同じ「40」を示している例である。この時の減算器2による減算結果は「0」になり、加算器3による加算結果は、ラッチ4による記憶内容と変わらず「115」のままである。したがって、電圧制御発振器6に与えるエラー電圧に変化はなく、生成クロックの周波数を維持できる。図2の(4)の例も継続して基準時刻情報と生成クロックの同期がとれている例である。

【0020】このように、本発明のクロック生成回路によれば、基準時刻情報と生成クロックの同期がとれた場合には、電圧制御発振器に与えるエラー電圧を一定に保つことができ、結果としてエラー電圧変動による生成クロックに含まれるジッタをなくすることができる。

【0021】次に、本発明の実施例について図面を参照して詳細に説明する。図3を参照すると、本発明の実施例は、外部から与えられる基準時刻情報に「1」を加える加算器31と、外部から与えられるストローブ信号に

より加算器31の出力する値をプリセットし、生成クロックによりカウントアップしていく時刻カウンタ32と、基準時刻情報から時刻カウンタ32の出力する値を減算する減算器33と、減算器33の出力値と後段のラッチの出力値とを加算する加算器34と、加算器34の出力を外部からのストローブ信号のタイミングで取り込んで保持するラッチ35と、ラッチ35の出力値をD/A変換して電圧信号にするD/A変換器36と、D/A変換された電圧信号の低周波成分のみを通すローパスフィルタ37と、ローパスフィルタ37を通った信号により発振周波数制御を受ける電圧制御水晶発振器(VCXO)38とから構成される。

【0022】次に図3の実施例の動作について、図4を参照しながら詳細に説明する。まず、図4の(1)のタイミングで基準時刻情報が与えられる。この例では、その値を「100」とする。この時の時刻カウンタの値を「110」とする。すなわち、生成クロックが基準時刻情報より進んでいる例である。この場合、減算器33での減算結果は、「-10」になる。この時までのラッチ35の保持内容が「100」とすれば、加算器34による加算結果は、「90」になり、新たな記憶内容としてタイミング信号に同期してラッチ35に保持される。同じタイミングで基準時刻情報に「1」を加えた値が時刻カウンタ32にプリセットされる。ラッチ35に保持された内容は、D/A変換器36により電圧信号に変換され、ローパスフィルタ37で急峻な変化を抑えられてVCXO38に与えるエラー電圧となる。

【0023】ラッチ35の保持内容が「100」から「90」に減少したため、エラー電圧も減少する。つまり、VCXO38の発振周波数を低くするにはたらく。次に、図4の(2)のタイミングにおいて新しい基準時刻情報が与えられ、その値が「200」とする。この時の生成クロックは、(1)の時より周波数が低くなっているため、時刻カウンタは、基準時刻情報より「5」だけ高い「205」になっているものと仮定する。すると、減算器33による減算結果は「-5」になり、加算器34による加算結果は「85」になり、さらにD/A変換後のエラー電圧を減少させ、VCXOの発振周波数を低くする。このように生成クロックの発振周波数を低くしていった結果、基準時刻情報と同期がとれた例が、図4の(3)である。

【0024】ここでは、基準時刻情報として「300」が与えられたとき、時刻カウンタ32も同じ「300」を示している例である。この時の減算器33による減算結果は「0」になり、加算器34による加算結果は、ラッチ35の保持内容と変わらず「85」のままである。したがって、VCXOに与えるエラー電圧に変化はなく、生成クロックの周波数を維持できる。

【0025】このように、本発明のクロック生成回路に

よれば、基準時刻情報と生成クロックの同期がとれた場合には、VCXOに与えるエラー電圧を一定に保つことができ、結果としてエラー電圧変動による生成クロックに含まれるジッタをなくすることができる。

【0026】尚、上述の実施形態は本発明の好適な実施の一例ではあるがこれに限定されるものではなく、本発明の要旨を逸脱しない範囲において種々変形実施可能である。

【0027】

【発明の効果】以上の説明より明かなように、本発明のクロック生成回路は、外部から入力される基準時刻情報をプリセットし出力信号をフィードバックしたクロック信号により時刻をカウントする。基準時刻情報からカウントした数値を減算し、当該時刻より前の時刻におけるクロック信号のエラー値と減算した結果とを加算する。この加算した結果を新たなエラー値として記憶し、エラー値をアナログ信号に変換し、このD/A変換後の出力値により出力するクロック信号の出力を制御する。

【0028】この構成によれば、基準時刻情報と生成するクロックとの同期をとる上で、クロック信号の出力を制御するために与えるエラー電圧を一定に保つことができる。この結果としてエラー電圧変動による生成するクロックに含まれるジッタをなくすることが可能となる。それは、外部から与えられる基準時刻情報と、本構成による時刻カウンタの値が一致したときに、その時点でのクロック生成のために与えるエラー値を維持するように回路が作動するからである。

【図面の簡単な説明】

【図1】本発明のクロック生成回路の実施の形態を示すブロック図である。

【図2】図1の回路の動作を示すタイムチャートである。

【図3】本発明の実施例を示すブロック図である。

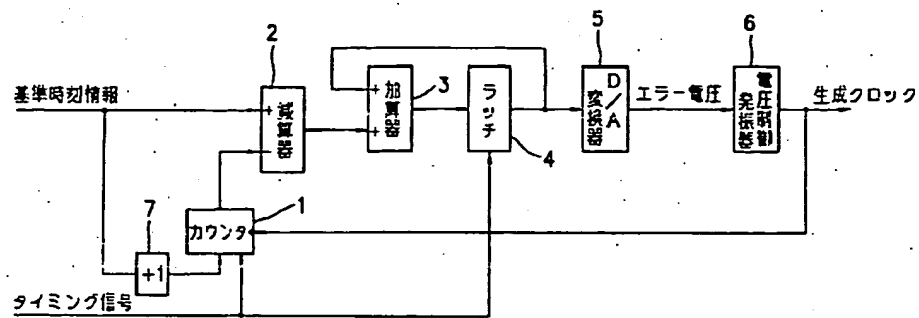
【図4】図3の回路の動作を示すタイムチャートである。

【図5】従来のクロック生成回路の構成例を示すブロック図である。

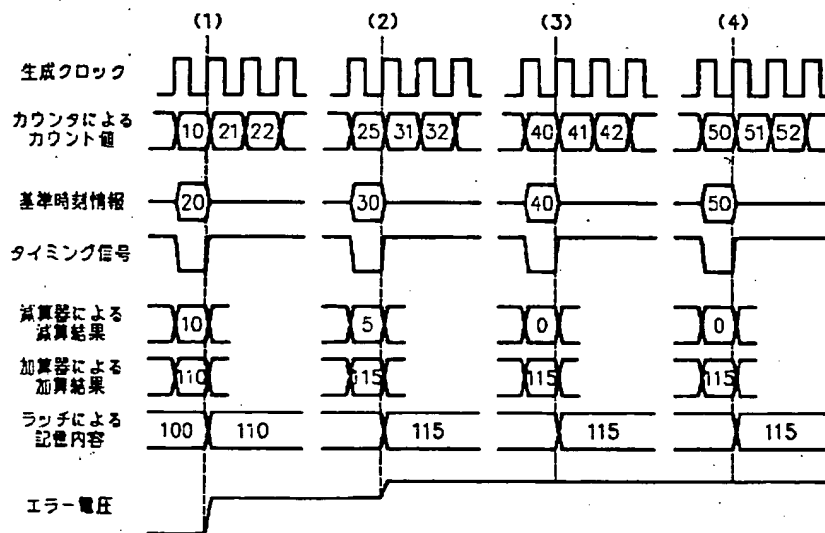
【符号の説明】

- 1 カウンタ
- 2、33 減算器
- 3、31、34 加算器
- 4、35 ラッチ
- 5、36 D/A変換器
- 6 電圧制御発振器
- 7 加算器
- 32 時刻カウンタ
- 37 ローパスフィルタ
- 38 電圧制御水晶発振器

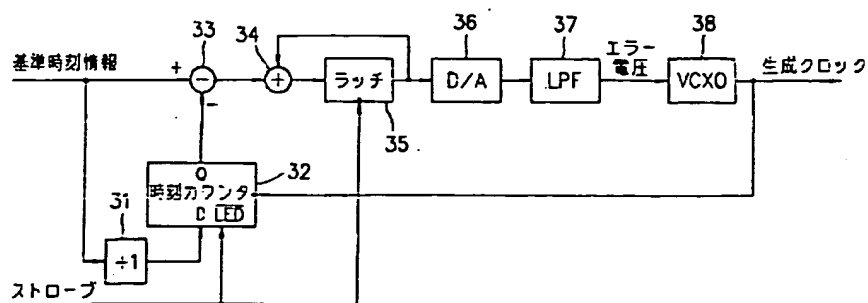
【図1】



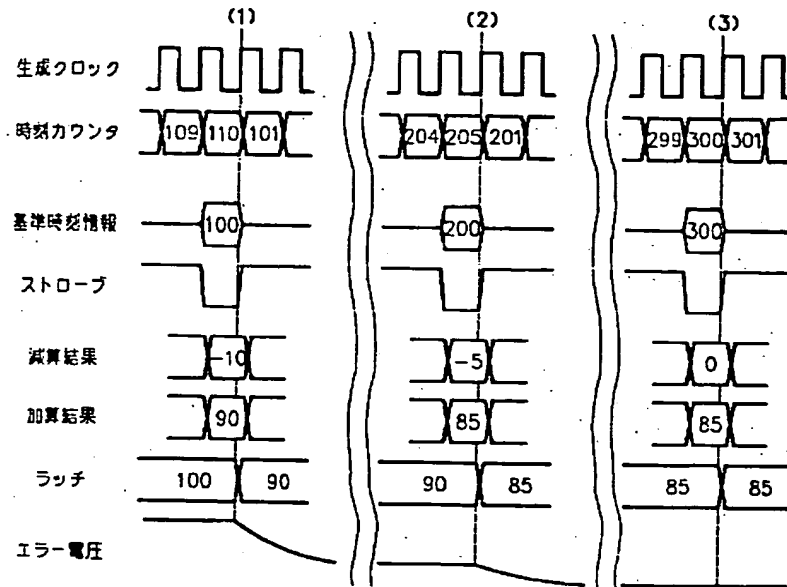
【図2】



【図3】



【図4】



【図5】

